



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07249739 A**(43) Date of publication of application: **26 . 09 . 95**

(51) Int. Cl.

H01L 27/04**H01L 21/822****H03K 19/003**(21) Application number: **06038416**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(22) Date of filing: **09 . 03 . 94**(72) Inventor: **OGATA YOSHIO**

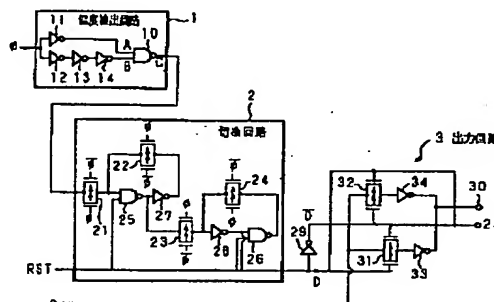
(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To provide a semiconductor device in which fluctuation in the driving capacity due to fluctuation in the temperature and voltage is suppressed.

CONSTITUTION: In a temperature detection circuit 1, the difference in the number of stages of inverters 11, for example, causes time lag of a clock ϕ , which follows up fluctuation in the temperature. Consequently, the output D from a switching circuit 2 is varied and an output buffer 33 for low temperature region of an output buffer 34 for high temperature region is operated selectively.

COPYRIGHT: (C)1995,JPO



THIS PAGE BLANK (USPTO)

2

(19)日本国特許庁 (JP).

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平7-249739

(43)公開日 平成7年(1995)9月26日

(51)Int.Cl.

識別記号

F I

H01L 27/04

21/822

H03K 19/003

Z

H01L 27/04

M

審査請求 未請求 請求項の数 5 O L (全5頁)

(21)出願番号

特願平6-38416

(22)出願日

平成6年(1994)3月9日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 緒方 良男

兵庫県伊丹市中央3丁目1番17号 三菱電機セミコンダクタソフトウェア株式会社内

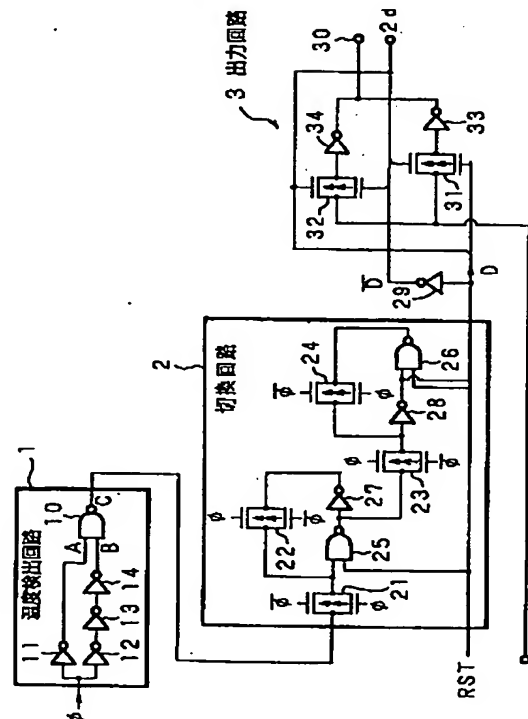
(74)代理人 弁理士 高田 守

(54)【発明の名称】半導体装置

(57)【要約】

【目的】 温度、電圧の変化による駆動能力の変化を抑制した半導体装置の提供。

【構成】 温度検出回路1ではインバータ11等の段数差でクロックφの遅延時間差が現れ、これが温度変化に追従変化する。これにより切換回路2の出力Dが変化し、低温域用出力バッファ33又は高温域出力バッファ34を選択的に使用させる。



【特許請求の範囲】

【請求項 1】 温度又は電圧に応動して所定信号を出力する検出回路と、
夫々に異なる特性を有する複数の出力回路と、
前記検出回路の出力信号に応じて前記出力回路を切換えるための信号を生成する切換回路とを備えることを特徴とする半導体装置。

【請求項 2】 検出回路は、論理ゲートの段数が夫々に異なる複数の論理回路を備え、これらに同一のクロックを通過せしめるべく構成してある請求項 1 記載の半導体装置。

【請求項 3】 論理回路に直列的に設けたスイッチと、該スイッチのオン、オフ情報を記憶する手段とを備える請求項 2 記載の半導体装置。

【請求項 4】 論理回路の出力を取出す端子を備える請求項 2 又は 3 記載の半導体装置。

【請求項 5】 温度又は電圧を検出する手段と、該手段による検出値と閾値とを比較する手段と、比較結果に応じて CPU に割込信号を発する割込回路とを備えることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は温度保証範囲又は電圧保証範囲が広い半導体装置に関し、温度変化又は電圧変化に起因するトランジスタ駆動能力の変化による性能低下を防止し得る半導体装置に関する。

【0002】

【従来の技術】半導体装置は温度変化又は電源電圧の変化に伴い駆動能力が低下する。即ち温度の高・低に従い駆動能力が低・高となり、電源電圧の高・低に従い駆動能力が高・低となる。従来はこのような問題に対する技術的対策は取られておらず、低駆動能力の状態での条件を仕様上保証することとしていた。

【0003】

【発明が解決しようとする課題】このため温度変化、電圧変化があった場合にも駆動能力の変化を抑制できる半導体装置を開発することが課題となっていた。本発明はこのような半導体装置を提供することを目的とする。

【0004】

【課題を解決するための手段】第 1 発明の半導体装置は、温度又は電圧に応動して所定信号を出力する検出回路と、夫々に異なる特性を有する複数の出力回路と、前記検出回路の出力信号に応じて前記出力回路を切換えるための信号を生成する切換回路とを備えることを特徴とする。

【0005】第 2 発明は、検出回路として、論理ゲートの段数が夫々に異なる複数の論理回路を備え、これらに同一のクロックを通過せしめるようにしたものである。第 3 発明は、論理回路に直列的に設けたスイッチと、該スイッチのオン、オフ情報を記憶する手段とを備える。

【0006】第 4 発明は、論理回路の出力を取出す端子を設けたものである。第 5 発明は、温度又は電圧を検出する手段と、該手段による検出値と閾値とを比較する手段と、比較結果に応じて CPU に割込信号を発する割込回路とを備えることを特徴とする。

【0007】

【作用】第 1 発明では温度又は電圧の高低に応じて出力される検出回路出力によって切換回路が所定の信号を発し、これによって複数の出力回路のうちの対応するものが選択される。この選択される出力回路の特性を、温度又は電圧の変化に伴う駆動能力の変化と逆の関係にしておくことで温度又は電圧の変化による駆動能力の変化が防止される。

【0008】第 2 発明ではクロックが各論理回路を通過する時間の差が温度変化により異なる。この差信号を検出信号出力とする。第 3 発明では上述の如き論理回路に連なるスイッチのうち、所要のものをオン、オフ情報でオン、オフし、オンしたスイッチに連なる論理回路による出力を温度検出信号とする。

【0009】第 4 発明では詳述の論理回路を組合せてなる検出回路出力を他の用途にも使用できるように端子から取出せるようにしてある。第 5 発明では温度又は電圧に閾値以上の変化があると割込回路が割込信号を出力する。これにより CPU はソフトウェア又はハードウェアで出力回路特性を切換える処理をする。

【0010】

【実施例】図 1 は第 1 実施例を示す略示回路図である。図において 1 は温度検出回路であり、インバータの伝送遅延時間が温度により変化することを利用している。即ち図示しないクロック発振回路から出力されたクロックφがインバータ 11、12 へ入力されるようにしてあり、インバータ 11 出力 A は NAND ゲート 10 へされる。インバータ 12 には更に 2 段のインバータ 13、14 が接続され、インバータ 14 の出力 B を NAND ゲート 10 の入力としている。NAND ゲート 10 の出力 C は温度検出信号として切換回路 2 へ入力される。

【0011】温度検出信号 C はトランスミッションゲート 21 を介して NAND ゲート 25 の一入力端子へ与えられる。NAND ゲート 25 出力はトランスミッションゲート 23 及びインバータ 27 へ与えられる。インバータ 27 出力はトランスミッションゲート 22 を介して NAND ゲート 25 の前記一入力端子へ与えられる。トランスミッションゲート 23 の出力はインバータ 28 へ与えられ、このインバータ 28 の出力 D を切換回路 2 の出力 D としている。インバータ 28 の出力 D は、また NAND ゲート 26 の前記一入力端子へ与えられ、その出力はトランスミッションゲート 24 を介してインバータ 18 へ与えられるようにしてある。両 NAND ゲート 25、26 の他入力は適宜手段によって与えられるリセット信号 RST(“L”アクティブ)である。

【0012】トランスミッションゲート 21、22、23、24

はいずれもクロックφ、バーφでオン、オフ制御され、トランスミッションゲート21、24がφ = “L” レベルのときにオンし、トランスミッションゲート22、23がφ = “H” レベルのときにオンするものである。切換回路2の出力Dは下記トランスミッションゲート31、32へ制御信号として直接又はインバータ29を介して与えられる。またインバータ29として回路駆動能力を有するものを用いて端子2dから外部へ取出せるようにしている。

【0013】3は出力回路を示し、2系統を有する。図示しない回路からの信号をトランスミッションゲート31 (又は32)、インバータを用いてなるバッファ33 (又は34)を介して出力端子30へ出力するようにしてあり、トランスミッションゲート31 (32) は切換回路2出力Dが“L” (“H”) のときにオンするようにしてある。バッファ33は低温域 (例えば 100℃未満) で所要の駆動能力を有し、バッファ34は高温域 (例えば 100～150℃) で所要の駆動能力を有するものを用いている。

【0014】即ちこの回路の動作を図2及び図3のタイムチャートに従って説明する。いまクロックφの周期を100nsとし、インバータ11～14の各1段の遅延時間は50nsを超えず、3段の遅延時間は 100℃未満の低温域では50nsを超えず、100～150℃の高温域では50～100nsになるように構成トランジスタの寸法を定めておく。

【0015】然して 100℃未満の場合は図2に示すようにクロックφはインバータ11出力Aで t_a (<50ns)、インバータ14出力Bで t_b ($\approx 3t_a$ <50ns) 遅れる。従ってNANDゲート10出力Cは図示のように変化する。而して駆動回路2の初段のトランスミッションゲート21はクロックφが“L”レベルのときにオンするが、クロックφが“L”レベルの期間はNANDゲート10出力Cは“L”であるから切換回路3出力Dは常に“L”のままである。

【0016】図3は 100～150℃の場合のタイムチャートである。この場合はインバータ11出力Aの遅延時間 t_c は50ns未満であるが、インバータ14出力Bの遅延時間 t_d は100nsを超えるからNANDゲート10出力Cは図示のようになり、クロックφが“L”レベルのときに切換回路出力Cが“H”でトランスミッションゲート21を通過する。これがクロックφの変化でトランスミッションゲート23を通過し、或いはトランスミッションゲート22、24によって反復的に与えられ、インバータ28出力又は切換回路3出力Dは常時“H”となる。

【0017】従って出力回路3は 100℃未満の温度域ではバッファ33側が、100～150℃の高温域ではバッファ34側が選択され、所要の駆動能力で増幅された信号が出力されていくことになる。なお端子2d出力は温度の変化を外部へ報じるのに使用され、それに応じた制御をすることが可能である。

【0018】図4は温度検出回路2の他の実施例を示している。クロックφはインバータ41、42、43、46に入力され、インバータ41出力はNANDゲート40の入力端子に、インバータ42出力はトランスミッションゲート51を介してNANDゲート40の他入力端子に接続されている。インバータ43出力はもう2段のインバータ44、45及びトランスミッションゲート52を介してNANDゲート40の他入力端子に与えられている。インバータ46はもう4段のインバータ47、48、49、50及びトランスミッションゲート57を介してNANDゲート40の前記他入力端子へ接続されている。

【0019】この場合の遅延時間の設定は、表1のとおりである。なおクロック周期は100nsである。

【0020】

【表1】

温 度	50℃未満	50～75℃	75～100℃	100℃以上
インバータ41出力E	50ns未満	50ns未満	50ns未満	50ns未満
インバータ42出力F	50ns未満	50ns以上 100ns 未満	50ns以上 100ns 未満	50ns以上 100ns 未満
インバータ45出力G	50ns未満	50ns未満	50ns以上 100ns 未満	50ns以上 100ns 未満
インバータ50出力H	50ns未満	50ns未満	50ns未満	50ns以上 100ns 未満

【0021】3ビットの選択レジスタ4はNANDゲート40の前記他入力に連なる3つの論理回路を選択するデータを記憶させるものであり、いずれか1ビットか、1の3ビットのデータが格納され、I (又はJ, K) が1である場合にトランスミッションゲート51 (又は52, 53) がオンして出力F (又はG, H) がNANDゲート40へ入力される。つまり信号Eと信号F (又はG, H) の組合せてNANDゲート40出力Cが温度検出信号として切換回路2へ与えられることになる。

【0022】従ってI (又はJ, K) = 1の場合は50℃

未満と50℃以上 (又は75℃未満と75℃以上、100℃未満と100℃以上) とに切換回路出力Dの“L” / “H” が変化する。これらの温度変化に対応する駆動能力の出力回路を設けておくことで必要な温度範囲での切換が可能となる。

【0023】なお選択レジスタ4へのデータ設定はソフトウェアによってもハードウェアによっても行うことができる。更にそのビット数又は切換るべき論理回路数も必要に応じて増減できる。

【0024】図5は更に他の実施例を示している。この

実施例では切換回路 2 出力 D を割込回路 6 へ与え、これにより割込信号を生成して図示しない CPU へ与える。そして CPU でのソフトウェア処理において温度変化に応じた必要な処理を行うこととすればよい。なお、上述の実施例は検出対象を温度としたが電源電圧についても同様に検出して実施することができる。

【0025】

【発明の効果】以上の如き本発明による場合は、温度、電圧の変化に応じて所要の駆動能力を有する出力回路に切り換えるので、温度、電圧の保証範囲を広くすることができる。また第 4 発明によれば、温度、電圧の変化に応じた信号を外部でも利用することができる。更に第 5 発明では温度、電圧変化に伴うソフトウェアでの対応も可

能となる。

【図面の簡単な説明】

【図 1】 本発明の第 1 実施例の略示回路図である。

【図 2】 その動作説明のためのタイムチャートである。

【図 3】 その動作説明のためのタイムチャートである。

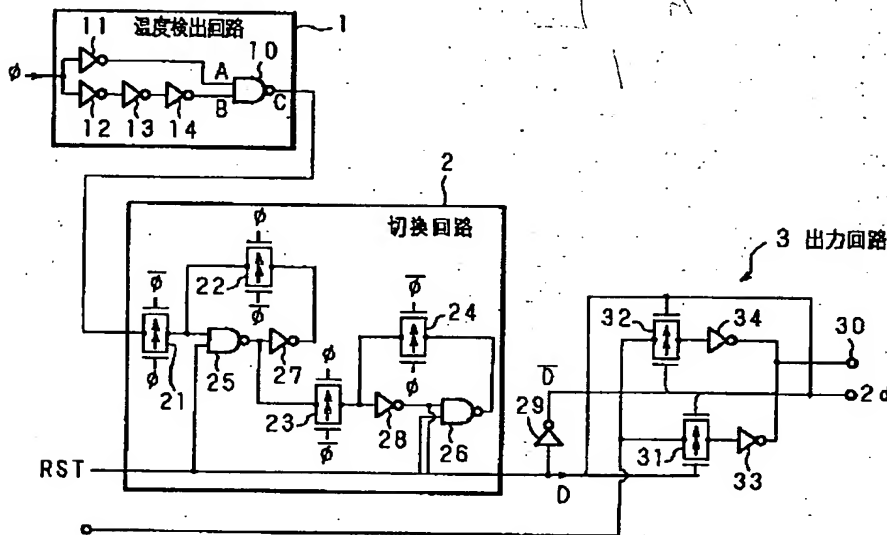
【図 4】 本発明の第 2 実施例の略示回路図である。

【図 5】 本発明の第 3 実施例のブロック図である。

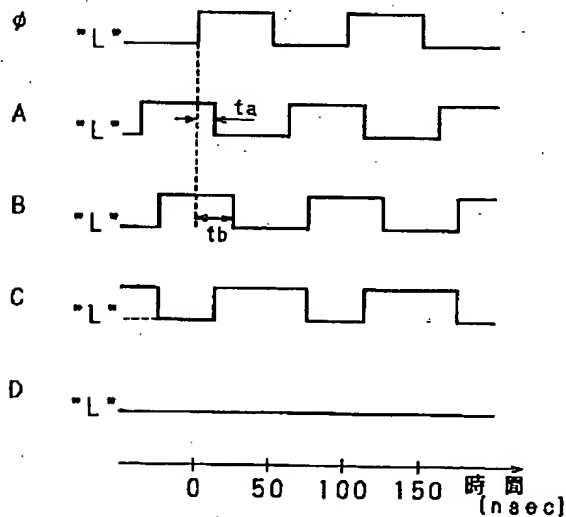
【符号の説明】

- 1 温度検出回路
- 2 切換回路
- 3 出力回路
- 4 選択レジスタ
- 6 割込回路

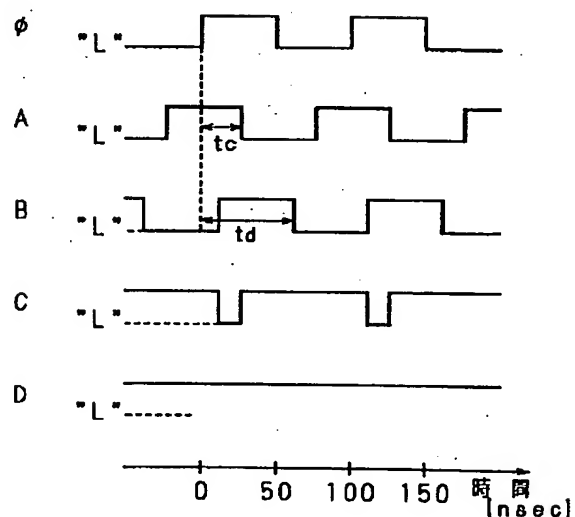
【図 1】



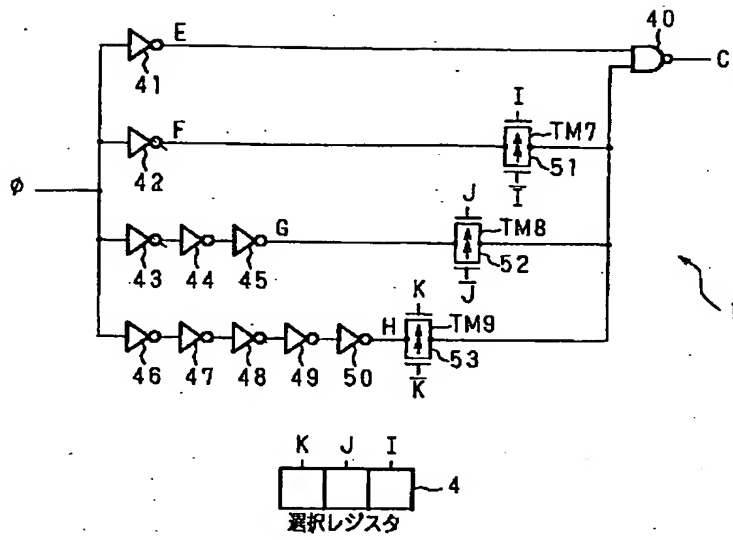
【図 2】



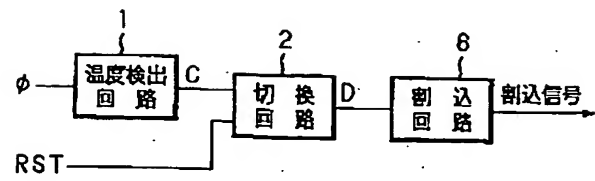
【図 3】



【図4】



【図5】



THIS PAGE BLANK (USPTO)